

**Reasoned Statement
from the Korean Intellectual Property Office**

Title of Invention: Conductor pattern and electronic component having the same

Office Action issue date: May 15, 2003

Cited Reference: JP (A) 10-106840 (April 24, 1998)

[REMARKS]

The present invention set forth in claim 1 relates to a conductor pattern comprising straight lines and corners, wherein the bottom-face cross-sectional width of the conductor pattern is not larger than the top-face cross-sectional width thereof, and the bottom-face cross-sectional width of each of the corners is larger than the bottom-face cross-sectional width of each of the straight lines.

However, the cited reference discloses a laminated inductance element, wherein the inner periphery of an internal conductor has round corners and the outer periphery of the internal conductor has angular corners, so as to prevent the current concentrating in the corners.

Therefore, the claimed invention can be easily made by one skilled in the art from the cited reference.

- The End -



(19)

(11) Publication number:

10106840 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 08277138

(51) Int'l. Cl.: H01F 17/00 H01F 5/00

(22) Application date: 27.09.96

(30) Priority:

(43) Date of application
publication: 24.04.98(84) Designated contracting
states:

(71) Applicant: TOKIN CORP

(72) Inventor: NAGATO MASAKI
KAWARAI MITSUGI

(74) Representative:

**(54) MULTILAYER
INDUCTANCE ELEMENT**

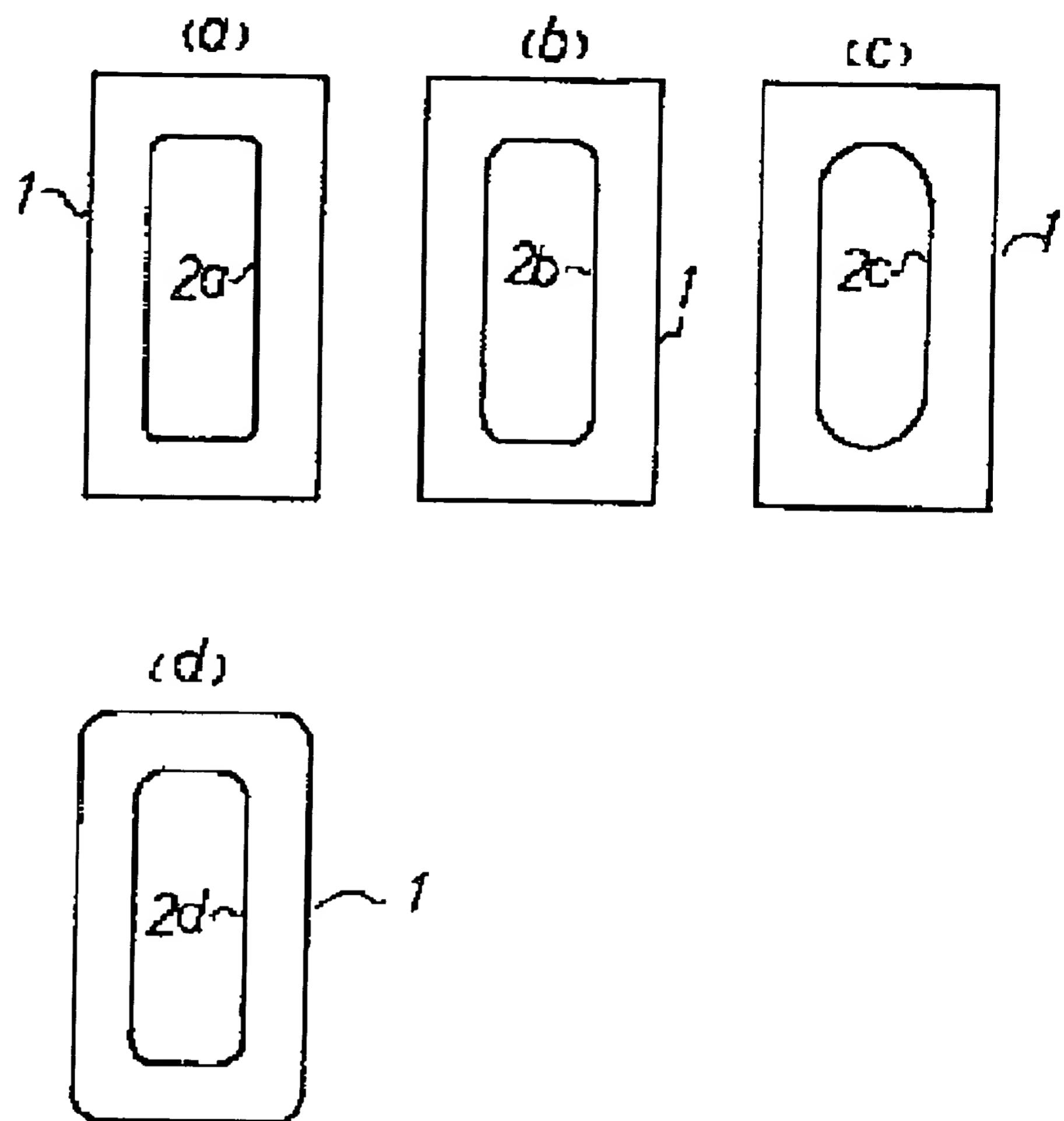
(57) Abstract:

PROBLEM TO BE SOLVED: To eliminate concentration of a current generated in a multilayer coil and enable obtaining a high Q-characteristic, by forming the inner peripheral shape of the multilayer coil formed in a ceramic layer by a curve or by a straight line and a curve.

SOLUTION: Ni-Cu-Zn ferrite powder is mixed by using a binder and a solvent, and then kneaded and dispersed, thereby producing a Ni ferrite paste. Then, the produced Ni ferrite paste is stacked up to a predetermined thickness by a printing method. On the stacked Ni ferrite paste, a conductor paste and the Ni ferrite paste are alternately printed, by using a conductor pattern having a curvature of a radius not smaller than 0.1mm at corner portions of inner peripheral shapes 2a, 2b and 2c, and a pattern similarly having corner portions of inner peripheral shapes of

not smaller than 0.1mm and analogous outer peripheral shape 1 and inner peripheral shape 2d, for the conductor paste, and by using a pattern having a window opened therein for connecting conductors, for the Ni ferrite paste. Thus, a multilayer coil of a conductor is formed.

COPYRIGHT: (C)1998,JPO



출력 일자: 2003/5/16

발송번호 : 9-5-2003-017807484
발송일자 : 2003.05.15
제출기일 : 2003.07.15

수신 : 서울 강남구 역삼1동 648-23 여상빌딩 901
호
윤동열 귀하

135-748

특허청 의견제출통지서



출원인 명칭 가부시키가이샤 무라타 세이사쿠쇼 (출원인코드: 519980960046)
주소 일본국 교토후 나가오카쿄시 덴진 2초메 26방 10고

대리인 성명 윤동열 외 1명
주소 서울 강남구 역삼1동 648-23 여상빌딩 901호

출원번호 10-2001-0042571

발명의 명칭 도체 패턴과 이를 갖는 전자부품

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이 유]

이 출원의 특허청구범위 제1항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조 제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원 발명은 직선부, 모서리부를 포함하고, 저면 횡단폭이 도체 패턴의 상면 횡단폭보다 크지 않고 저면 횡단폭은 직선부의 저면 횡단폭보다 큰것을 특징으로 하는 도체패턴에 관한 것이나, 이는 첨부1에 기재된 외주형상이 각형으로, 내주형상이 라운드형상으로 형성하여 코너부에 전류집중을 방지하도록 형성된 적층 인터던스 소자로 부터 용이하게 발명할 수 있습니다.

[첨부]

첨부1 일본공개특허 평10-106840호(1998.04.24) 1부 끝.

2003.05.15

특허청

심사4국

반도체1심사담당관실

심사관 김준학



<<안내>>

귀하께서는 특허법제47조제2항의 규정에 의거 특허출원서에 최초로 첨부된 명세서 또는 도면에 기재된 사항의 범위이내에서 명세서 등을 보정할 수 있음을 알려드립니다. 문의사항이 있으시면 ☎ 042-481-5785로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-106840

(43) 公開日 平成10年(1998)4月24日

(51) Int.Cl.⁶

H 01 F 17/00
5/00

識別記号

F I

H 01 F 17/00
5/00

D
F

審査請求 未請求 請求項の数 2 FD (全 4 頁)

(21) 出願番号 特願平8-277138

(22) 出願日 平成8年(1996)9月27日

(71) 出願人 000134257

株式会社トーキン

宮城県仙台市太白区郡山6丁目7番1号

(72) 発明者 長門 正樹

宮城県仙台市太白区郡山6丁目7番1号

株式会社トーキン内

(72) 発明者 川原井 貢

宮城県仙台市太白区郡山6丁目7番1号

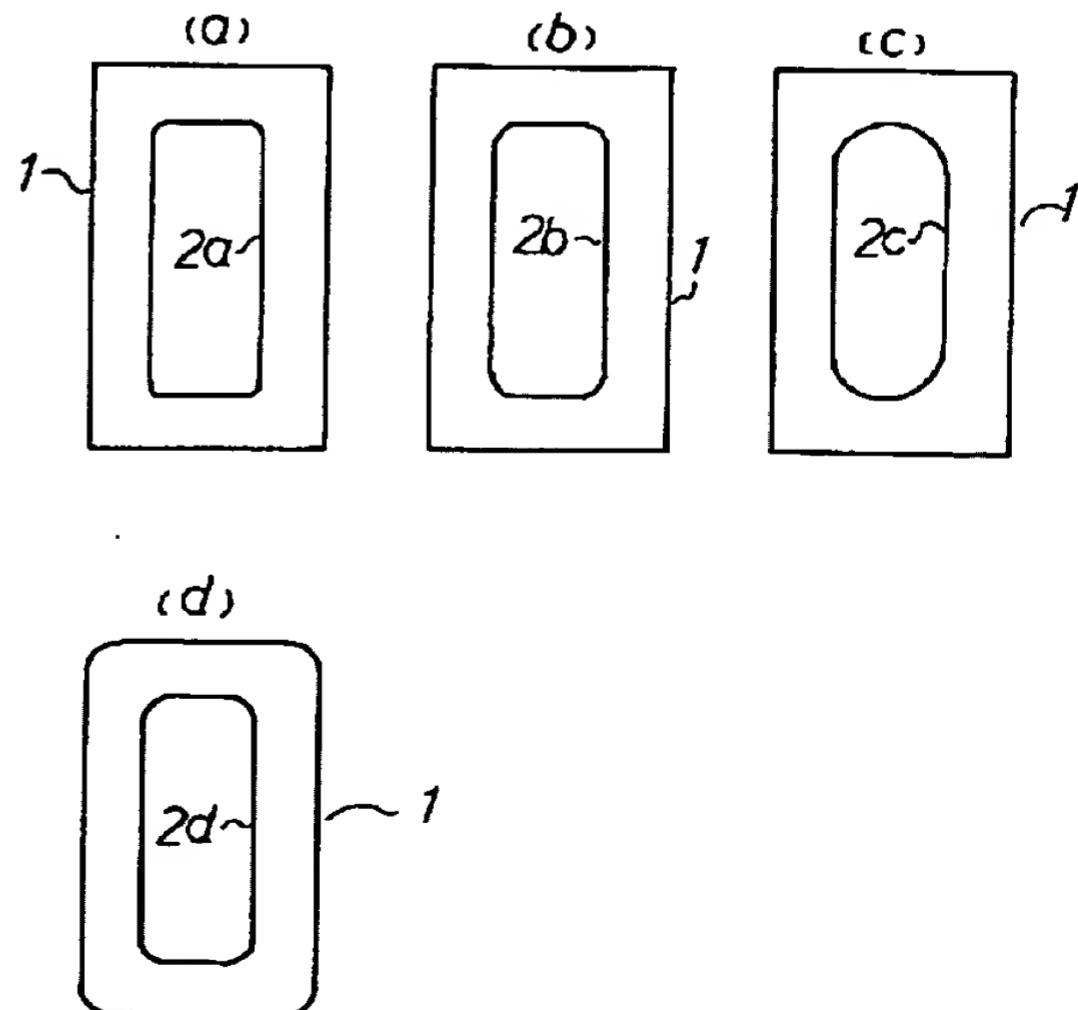
株式会社トーキン内

(54) 【発明の名称】 積層インダクタンス素子

(57) 【要約】

【課題】 導体の積層コイル内に生じる電流の集中を無くし、高いQ特性のインダクタンス素子を得ること。

【解決手段】 外周形状1が角形又は角形コーナーにRを形成した形状であり、セラミックス層内に形成された積層コイルの内周形状2a, 2b, 2c, 2dが略角形で、この略角形の四隅の曲率半径が0.1mm以上の積層インダクタンス素子。



【特許請求の範囲】

【請求項1】 セラミックス粉末及び銀あるいは銅の導電性粉末を合成樹脂バインダを用いてペースト化し、これを印刷法によって積層し、らせん状の導電体からなる積層コイルを形成し、これを同時焼成した積層インダクタンス素子であって、セラミックス層内に形成された前記積層コイルの内周形状が、曲線、または直線と曲線で構成されていることを特徴とする積層インダクタンス素子。

【請求項2】 請求項1記載の積層インダクタンス素子において、前記導電体コイルの内周形状の曲線部分が、半径0.1mm以上の曲率を有することを特徴とする積層インダクタンス素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、積層インダクタンス素子に関する。

【0002】

【従来の技術】従来の積層インダクタンス素子においては、セラミックス粉末及び銀あるいは銅の導電性粉末を合成樹脂バインダを用いてペースト化し、これを印刷法によって積層し、らせん状に形成された導電体からなる積層コイルを形成し、これを同時焼成する際に、図2に示すように、長方形である素子の外周形状1とほぼ相似形の内周形状2が長方形の導電体からなるパターンを形成して、積層して用いられている。

【0003】

【発明が解決しようとする課題】近年、電子機器の技術進歩により、小型で軽量な表面実装型の積層インダクタンス素子が要求されている。このような小型化された表面実装部品では、積層数が少なく、高いインダクタンスを得るために磁路断面積を大きく取る必要がある。そのため、内部導体には、外周、内周共に角形のパターンを用いている。

【0004】一方、このようなインダクタンス素子では、高いQ特性が求められており、そのためには導体に

(表1)

Ni系フェライトペーストの配合比	
磁性粉末 (Ni-Zn-Cuフェライト)	100重量部
エチルセルロース樹脂	5重量部
エチルセロソルブ	100重量部
テルピネオール	50重量部

【0013】導電体粉末として、平均粒径0.5μmのAg粉末を用意した。この粉末を表2の比率でバイン

による損失を低減する必要がある。

【0005】従来の内周部を角形とした導体からなるパターンでは、導体を流れる電流がパターンのコーナー部で集中し、その結果、導体の損失が増大し、高いQが得られないという問題がある。

【0006】そこで、本発明では、導体の積層コイル内に生じる電流の集中を無くし、高いQ特性の積層インダクタンス素子を得ることを目的とする。

【0007】

【課題を解決するための手段】本発明の積層インダクタンス素子は、セラミックス層内に形成された積層コイルの内周形状が、半径0.1mm以上の曲率であることを特徴とする。その結果、高いQ特性の積層インダクタンス素子が得られる。

【0008】すなわち、本発明によれば、①セラミックス粉末、及び銀あるいは銅の導電性粉末を合成樹脂バインダを用いてペースト化し、これを印刷法によって積層し、らせん状に積層された導電体からなる積層コイルを形成し、これを同時焼成した積層インダクタンス素子であって、セラミックス層内に形成された積層コイルの内周形状が、曲線、または直線と曲線で構成されていることを特徴とする積層インダクタンス素子が得られる。

【0009】又、本発明によれば、②上記①記載の積層インダクタンス素子において、積層コイルの内周形状の曲線部分が、半径0.1mm以上の曲率で有することを特徴とする積層インダクタンス素子が得られる。

【0010】

【発明の実施の形態】以下に、発明の実施の形態について説明する。

【0011】セラミックス粉末としてNi-Cu-Znフェライト粉末（比表面積 5.2m²/g）を用意した。その粉末をバインダ、溶剤で表1の比率で配合し、パイラルミキサーを用いて混合し、さらに、サンドミルにて混練分散し、Ni系フェライトペーストを作製した。

【0012】

ダ、溶剤と配合し、配合物を三本ロールで混練して導体用ペーストを作製した。

【0014】

(表2)

導体用ペーストの配合比	
粉末(銀)	100重量部
ポリビニルブチラール樹脂	20重量部
シクロヘキサン	100重量部
トルエン	50重量部

【0015】本発明では、表1及び表2の配合比で各々のペーストを作製したが、これ以外の成分、配合比でも印刷可能なペーストが得られるものであれば良い。また、本発明では配合物の混練にサンドミルを用いたが、これ以外にもホモジナイザーや三本ロール等を用いても良い。

【0016】次に、作製したNi系フェライトペーストを、印刷法により所定の厚さ(400μm)になるまで積層した。その上に、図1の導体からなるパターンの内周形状2a, 2b, 2cのコーナー部分を半径0.05mm[図1(a)参照]と0.1mm[図1(b)参照]、0.2mm[図1(c)参照]の曲率としたパターンを、また同じく内周形状のコーナー部分が、0.1mmの曲率で、外周形状1が内周形状2dと相似形であるパターン[図1(d)参照]を用いて導体用ペーストを、また導体同士を接続するための窓が開いたパターンを用いてNi系フェライトペーストを交互に印刷し、3.5ターンの導電体の積層コイルを形成した。更にその上に、Ni系フェライトペーストを印刷法により、厚

さ200μmまで積層して積層体とした。

【0017】比較例として、図2の角形の導体からなるパターンを用いた以外は、上記本発明と同じ条件で印刷積層を行い積層インダクタンス素子を作製した。

【0018】上記作製した積層体を所定の大きさに(1.6mm×0.8mm)に切断し、これを脱バインダ後、900°Cで一体焼成を行った。

【0019】上記焼成した積層体に導電体のリードの露出している面にAgを主成分とした導体用ペーストを塗布し、約300°Cで焼き付けを行い、外部電極を形成した。

【0020】上記のように作製した積層インダクタンス素子の、インダクタンスとQを、YHP製インピーダンスアナライザーHP4191Aを用いて、評価した。

【0021】表3に、本発明で作製した積層インダクタンス素子と、比較例で作製した素子の、インダクタンスLとQ値を示した。

【0022】

(表3)

	内周四隅のコーナーの曲率半径R(mm)	外周形状	Q50MHz	L50MHz
本発明	0.05	角	25	83nH
	0.1	角、曲線	40	80nH
	0.2	角	40	75nH
比較例	0	角	20	85nH

【0023】表3によれば、導体からなる積層コイルの内周角の四隅のコーナーの曲線半径が0.1mm以上にすることによって、Q特性の高いインダクタンス素子が得られることがわかる。

【0024】

【発明の効果】以上説明したように、セラミックス層内のコイルの内周角形の四隅のコーナーの曲線半径を0.1mm以上にすることにより、コーナー部の電流の集中を無くし、高いQ特性の積層インダクタンス素子を得るものである。

【図面の簡単な説明】

【図1】本発明の積層インダクタンス素子を示す説明図。図1(a)は外周形状が角形で、内周角形の四隅のコーナーの曲率半径が0.05mmである導体のパターンを示す図。図1(b)は外周形状が角形で、内周角形の四隅のコーナーの曲率半径が0.1mmである導体パターンを示す図。図1(c)は外周形状が角形で、内周角形の四隅のコーナーの曲率半径が0.2mmである導

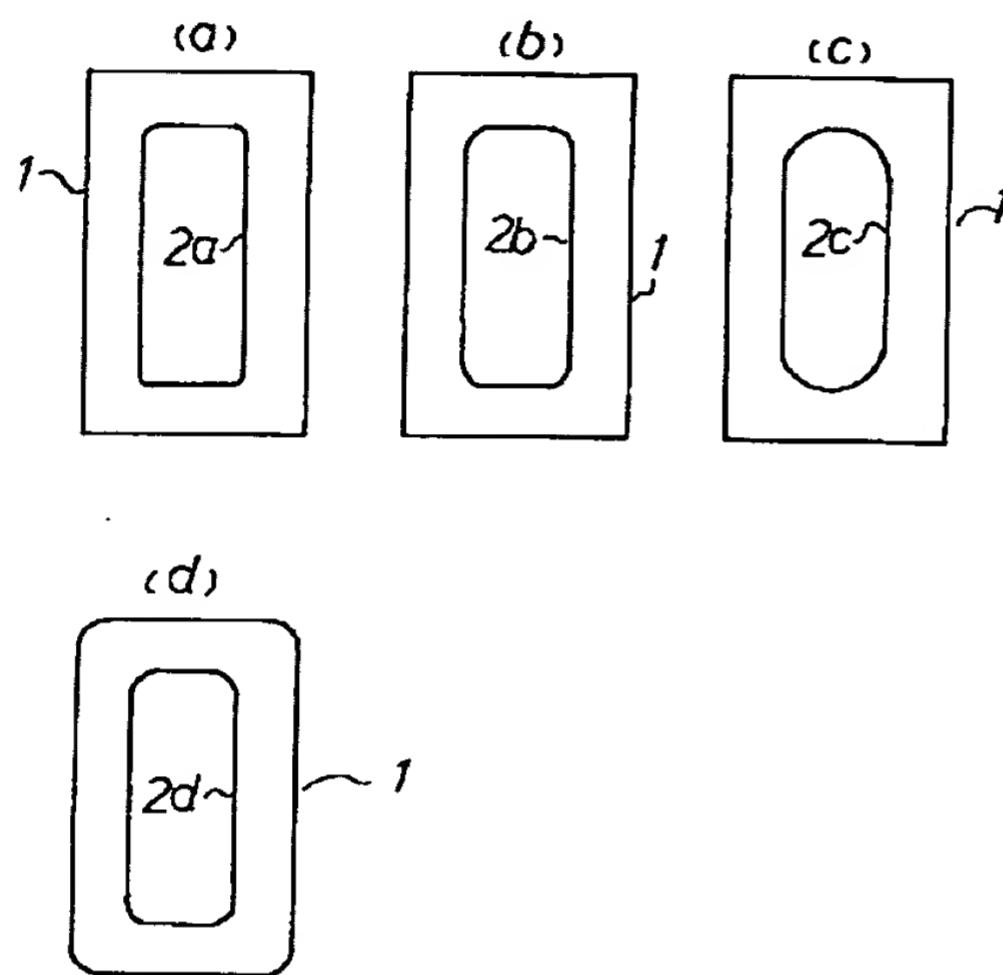
体パターンを示す図。図1(d)は内周角形の四隅のコーナーの曲率半径が、0.1mmであり、外周形状が内周形状と相似形であるパターンを示す図。

【図2】従来の外周形状が角形で、内周形状も角形で、四隅が直角であるパターンを示す説明図。

【符号の説明】

- 1 外周形状
- 2, 2a, 2b, 2c, 2d 内周形状

【図1】



【図2】

